

WEST**End of Result Set**

Generate Collection

L2: Entry 1 of 1

File: JPAB

Jul 13, 1981

PUB-NO: JP356085846A

DOCUMENT-IDENTIFIER: JP 56085846 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: July 13, 1981

INVENTOR-INFORMATION:

NAME

COUNTRY

TABUCHI, SHUJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP54162491

APPL-DATE: December 14, 1979

US-CL-CURRENT: 257/529

INT-CL (IPC): H01L 27/04; G11C 11/34; H01L 21/88

ABSTRACT:

PURPOSE: To exactly cut a wire for a short time in a semiconductor integrated circuit device by forming a metallic layer directly in contact with a polysilicon pattern.

CONSTITUTION: Polysilicon patterns 7a, 7b having an interval of approx. $3\mu\text{m}$, a width of approx. $3\mu\text{m}$ and a length of approx. $10\mu\text{m}$ are formed on a PSG 6 formed on the surface of an IC substrate 5 completed in the formation of elements thereon. An aluminum layer 8 having a width W of approx. $2\sim 3\mu\text{m}$ is formed integrally with a bit wire and a cell wire 2 in direct contact with these patterns. The aluminum is diffused and alloyed into the polysilicon from the vicinity of 450°C , is thus intruded, and a fuse wire is completely molten or becomes nonconductive at lower than 600°C . Since a voltage therefor can be approx. 5 volts and a current therefor can be lower than several mA, the power of a melting current transistor can be largely reduced, and accordingly the occupying area therefor can be reduced. Since the breaking operation is conducted with such a reaction mechanism, the breakage can be conducted for a short time exactly with high reliability.

COPYRIGHT: (C)1981, JPO&Japio

BEST AVAILABLE COPY

⑫ 公開特許公報 (A)

昭56—85846

⑤ Int. Cl.³

H 01 L 27/04

G 11 C 11/34

H 01 L 21/88

識別記号

庁内整理番号

7210—5F

7010—5B

6741—5F

④ 公開 昭和56年(1981)7月13日

発明の数 1

審査請求 未請求

(全 3 頁)

⑬ 半導体集積回路装置

川崎市中原区上小田中1015番地

富士通株式会社内

② 特 願 昭54—162491

⑩ 出 願 人 富士通株式会社

② 出 願 昭54(1979)12月14日

川崎市中原区上小田中1015番地

⑦ 発 明 者 田淵修司

⑭ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称 半導体集積回路装置

2. 特許請求の範囲

ポリシリコンパターンと該ポリシリコンパターンに直に接する金属層からなるフューズ配線により、冗長回路が接続されていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

本発明は半導体集積回路装置にかかり、詳しくは冗長回路を有する半導体集積回路装置における冗長回路を接続するフューズ配線の構造に関する。

RAM、ROMあるいはPROM等の半導体メモリにおいては、余分なセルライン等からなる冗長回路を設け、該冗長回路を過電流により熔断可能なフューズ配線で共通配線層に接続せしめておき、必要に応じて所望の冗長回路を共通配線層から切り取って使用する方式が従来用いられる。

そして該フューズ配線は従来ニクロム(Ni—Cr)あるいは導電性を付与したポリシリコン等の抵抗体皮膜によって形成されていたが、これらの抵抗

説 明

体皮膜を熔断するためには該抵抗体皮膜の温度を少なくとも1500(℃)以上に上昇せしめねばならないので、熔断のための自己加熱電流は極めて大きくなる。そのため上記従来のフューズ配線においては熔断部の幅を可能な限り狭く、即ち1(μm)程度に形成して熔断電流を制限する構造がとられるが、それでも熔断電流はかなり大きく、また1(μm)程度の幅になると加工精度の由からその幅が大きくばらつくので、このようなフューズ配線の熔断を完全に行うためには、各セルライン毎に電圧10～15(V)、電流値10～数100(mA)程度の高出力トランジスタを特に配設せねばならない。そしてこのような高出力トランジスタは非常に大きな専有面積を必要とするために、半導体メモリ等の周辺回路が大きくなり半導体集積回路装置の集積度が低下せしめられるという問題があった。

また前記ニクロム皮膜によるフューズ配線は形成が非常に面倒であり、ポリシリコン皮膜によるフューズ配線は熔断面が余りきれいでなく、熔断

状態の信頼性が劣るという問題もあった。

本発明は上記問題点に鑑み、形成が容易で、特に高出力のトランジスタを設けず半導体集積回路の5〔V〕程度の単一電源により簡単に熔断することかでき、かつ熔断状態の信頼性の高いフューズ配線に有する半導体集積回路装置を提供する。

即ち、本発明は半導体集積回路装置において、ポリシリコンパターンと該ポリシリコンパターンに直かに接する金属層からなるフューズ配線により、冗長回路が接続されていることを特徴とする。

以下本発明を図示実施例により詳細に説明する。

第1図は冗長回路構造の説明図、第2図(a)は本発明のフューズ配線における一実施例の上面図で第2図(b)は同じく断面図である。

例えば冗長回路を有する半導体メモリーは、第1図に示すようにビットライン1と複数本のセルライン2a、2b、2c、2d等がフューズ配線8a、8b、8c、8d等により接続されており、各々のセルラインにはソースあるいはドレインの何れか一方がセルラインと接続され、他の一方が接地され

8

形成する方法の一例を第2図(a)及び(b)を用いて説明すると、先ず素子形成が完了し、表面にPSG等の絶縁膜6が形成された半導体集積回路基板5上にOVD等の方法による厚さ2000~8000〔Å〕程度のポリシリコン膜を被着し、該ポリシリコン膜を選択除去して所望の場所にポリシリコンパターン7a及び7bを形成した後、前記絶縁膜6に基板に形成されている種々の機能素子に対する配線コンタクト用の窓明けを行い、次に該絶縁膜6上に厚さ約0.5~1.0〔μm〕程度のアルミニウム(A1)配線層の被着形成を行う。そしてこの際セルライン2のA1配線層8は2~8〔μm〕程度の幅に狭められて前記ポリシリコンパターン7a及び7b上を通り、かつ該ポリシリコンパターンと直かに接してビットライン1のA1配線層に接続するようにパターンニングする。

上記本発明の構造を有するフューズ配線においては、420〔℃〕前後の温度からポリシリコンへのアルミニウムのマイグレーション及びポリシリコンとアルミニウムの合金化が起り、ポリシリ

フューズ配線の熔断電流供給用トランジスタ4a、4b、4c、4d等が設けられた構造になっている。そしてビットラインとセルラインを切り放す際には所望のセルラインに付属した熔断電流供給用トランジスタを動作せしめ、ビットラインとアース間にフューズ配線及びトランジスタを介して電流を流してフューズ配線の熔断を行う。

そして本発明のフューズ配線の構造は、例えば第2図(a)及び(b)に示すように素子形成が完了した半導体集積回路基板5の表面に形成された誘電体ガラス(PSG)等の絶縁膜6上に例えば約2~8〔μm〕程度の間隔で被着形成された厚さ2000~8000〔Å〕、幅~8〔μm〕、長さ10〔μm〕程度の2〔μm〕のポリシリコンパターン7a及び7b上に、これらポリシリコンパターンと直かに接して被着され、かつビットライン1及びセルライン2と一体に絶縁膜6上に被着形成された幅Wが2~8〔μm〕程度のアルミニウム配線層8からなっている。

次に上記本発明の構造を有するフューズ配線を

4

コンパターニング中に上層のアルミニウム配線層が急速に焼かれて行くので600〔℃〕以下の温度でフューズ配線を完全に熔断、あるいは不導体化することができる。従ってフューズ配線の熔断あるいは不導体化に必要な電流を流すための電圧も半導体集積回路の単一電源電圧である5〔V〕程度で充分であり、また電流も数〔mA〕以下となし得るので熔断電流供給用トランジスタの出力は従来にくらべ大幅に減少させることができ、従って該トランジスタの専有面積を大幅に縮小することかできる。また本発明のフューズ配線の熔断あるいは不導体化は上記のような反応機構でなされるので、配線の切断が短時間で確実に行われると同時に切断状態の信頼性も極めて高い。

上記実施例においては本発明のフューズ配線の構造をポリシリコンパターン上にアルミニウム配線層を被着する例について説明したが、被着配線層としてはアルミニウム以外に金等のシリコンと合金化しめい金属を用いてもさしつかえない。

また、本発明のフューズ配線構造は上記実施例

5

以外の冗長回路及び素子の切り放しに於しても適用することができる。

そしてまた上記実施例においてはフューズ配線のポリシリコンパターンを素子形成の完了した半導体集積回路基板上の表面に形成されている絶縁膜上に折らたに被覆形成する例について説明したが該ポリシリコンパターンはトランジスタのゲート電極を形成する際に同時に所望の場所に形成して置き上層の絶縁膜の形成を完了した後、該絶縁膜の前記ポリシリコンパターンの位置に窓明けを行ない、ポリシリコンパターンを露出せしめ該パターン上に金属配線層を形成するようにすれば、工程の簡略ができて更に有効である。

以上説明したように本発明のフューズ配線は、^{フューズ配線は}フューズを切断するための遮断電流供給用トランジスタの専有面積を大幅に縮小することができ、かつ切断が容易に然かも確実になされるので、半導体集積回路装置の集積度の向上及び信頼性の向上に対して極めて有効である。

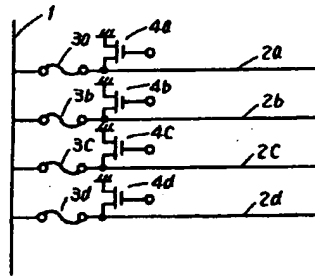
4. 図面の簡単な説明

第1図は冗長回路構造の説明図、第2図(a)は本発明のフューズ配線における一実施例の上面図で第2図(b)は同じく断面図である。

図において、1はビットライン、2a, 2b, 2c, 2dはセルライン、3a, 3b, 3c, 3dはフューズ配線、4a, 4b, 4c, 4dは遮断電流供給用トランジスタ、5は半導体集積回路基板、6は絶縁膜、7a, 7bはポリシリコンパターン、8はアルミニウム配線層。

代理人 弁理士 松岡 宏 四郎

第 1 図



第 2 図

